

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-031835

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H01L 21/321

H01L 21/60

(21)Application number : 06-168385

(22)Date of filing : 20.07.1994

(71)Applicant :

FUJITSU LTD

(72)Inventor :

AKAMATSU TOSHIYA

KARASAWA KAZUAKI

NAKANISHI TERU

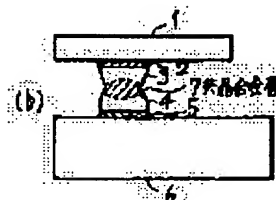
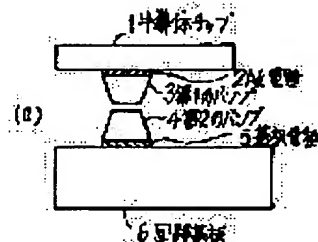
SHIMIZU KOZO

(54) SEMICONDUCTOR DEVICE, ELECTRONIC CIRCUIT DEVICE, AND PRODUCTION THEREOF

(57)Abstract:

PURPOSE: To maintain an initial large area of the contact between an Al electrode and a first bump since the forming of the bump by heating and bonding butted parts of the first bump made of a high m. p. solder on the Al electrode and second bump made of a low m. p. solder on an electrode corresponding to a circuit board at the m. p. of the high m. p. solder or less.

CONSTITUTION: A first bump 3 made of a component metal (a) of an alloy to cause an eutectic reaction is formed on a pad-like Al electrode 2 of a semiconductor chip 1 by the mask vapor deposition or similar method. The entire bottom face of the bump 3 is closely contacted with the face of the electrode 2. A second bump 4 made of an alloy (b) which causes the eutectic reaction is formed on a pad-like substrate electrode 5 corresponding to the circuit board 6. An eutectic alloy layer 7 composed of the component metals (a) and (b) is formed between contact parts of both bumps 3 and 4 whereby both bumps are bonded. Thus, the Al electrode is tightly connected onto the circuit board at a low resistance, without causing poor wetted part, directly using the solder bumps.



LEGAL STATUS

[Date of request for examination]

20.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31835

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321 21/60	3 1 1 S	7726-4E	H 0 1 L 21/ 92	F D

審査請求 未請求 請求項の数24 O L (全 10 頁)

(21)出願番号	特願平6-168385	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成6年(1994)7月20日	(72)発明者	赤松 俊也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	柄澤 一明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	中西 輝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一

最終頁に続く

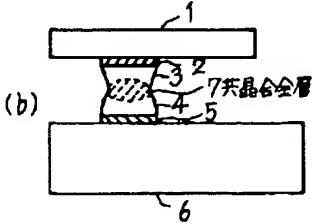
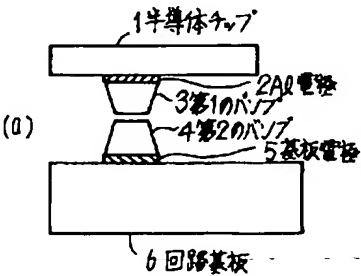
(54)【発明の名称】 半導体装置の製造方法及び半導体装置及び電子回路装置の製造方法及び電子回路装置

(57)【要約】

【目的】 フリップチップ接合を用いた半導体装置の製造方法及び半導体装置、及び液体金属電気接点を用いた電子回路装置の製造方法及び電子回路装置に関し、フリップチップ接合及び液体金属接点による接続抵抗の低減及び安定化を図る。

【構成】 半導体チップ1のA1電極2上に第1のバンプ3を形成し、回路基板6の電極5上に第2のバンプ4を形成し、第1のバンプ3の融点以下の温度で第1のバンプ3と第2のバンプ4とを接合する構成と、半導体装置の使用環境温度下で液相と固相を持つはんだ8を用いて、少なくともチップ状の半導体素子1の電極2が回路基板6の電極5に接続されている構成、及び電極上にガリウムを含む液体金属の電気接点を形成するに際し、電極上にガリウムと共晶合金化する下地金属層を形成した後、その上にガリウムとフラックスビヒクルからなる混合物を印刷し、熱処理する構成。

第1の発明の原理説明図



1

【特許請求の範囲】

【請求項1】 はんだに濡れない電極(2)を有するチップ状の半導体素子(1)を該はんだに濡れない電極(2)を介して回路基板(6)上に接続搭載するに際して、該はんだに濡れない電極(2)上に共晶反応を起こす合金の成分金属aからなる第1のバンプ(3)を形成し、該回路基板(6)の対応する電極(5)上に該共晶反応を起こす合金の成分金属bからなる第2のバンプ(4)を形成し、該第1のバンプ(3)と該第2のバンプ(4)を突き合わせた後に、該第1のバンプ(3)と第2のバンプ(4)の突き合わせ部分を該成分金属aの融点以下の温度に加熱して該第1のバンプ(3)と第2のバンプ(4)を接合する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記はんだに濡れない電極(2)がアルミニウム若しくはその合金からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1のバンプ(3)に錫を用い、且つ前記第2のバンプ(4)にインジウム、ビスマスまたは鉛を用い、前記第1のバンプ(3)と第2のバンプ(4)を接合する際の加熱が錫の融点以下の温度でなされることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記第1のバンプ(3)にインジウムを用い、且つ前記第2のバンプ(4)に錫またはビスマスを用い、前記第1のバンプ(3)と第2のバンプ(4)を接合する際の加熱がインジウムの融点以下の温度でなされることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 前記第1のバンプ(3)にビスマスを用い、且つ前記第2のバンプ(4)に錫またはインジウムを用い、前記第1のバンプ(3)と第2のバンプ(4)を接合する際の加熱がビスマスの融点以下の温度でなされることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項6】 前記第1のバンプ(3)に鉛を用い、且つ前記第2のバンプ(4)に錫またはビスマスを用い、前記第1のバンプ(3)と第2のバンプ(4)を接合する際の加熱が鉛の融点以下の温度でなされることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項7】 アルミニウム電極(2)を有するチップ状の半導体素子(1)を該アルミニウム電極(2)を介して回路基板(6)上に接続搭載するに際して、該アルミニウム電極(2)上に高融点はんだからなる第1のバンプ(3')を形成し、該回路基板(6)の対応する電極(5)上に低融点はんだからなる第2のバンプ(4')を形成し、該第1のバンプ(3')と該第2のバンプ(4')を突き合わせた後に、該第1のバンプ(3')と第2のバンプ(4')の突き合わせ部分を該高融点はんだの融点以下の温度に加熱して該第1のバンプ(3')と第2のバンプ(4')を接合する工程を有することを特徴とする半導体装置の製造方法。

2

【請求項8】 前記請求項1、2、3、4、5、6または7のそれぞれに記載された方法によって、回路基板(6)上にチップ状の半導体素子(1)が接続搭載されていることを特徴とする半導体装置。

【請求項9】 半導体装置の使用环境温度下で液相と固相を持つはんだ(8)を用いて、少なくともチップ状半導体素子(1)の電極(2')が回路基板(6)の電極(5)に接続されていることを特徴とする半導体装置。

【請求項10】 前記半導体装置の使用环境温度下で液相と固相を持つはんだ(8)が、半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれたはんだからなることを特徴とする請求項9記載の半導体装置。

【請求項11】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれたはんだが、インジウムとビスマスとの2元系、若しくはインジウムとビスマスと錫との3元系、若しくはインジウムとビスマスと錫と鉛との4元系であって、それぞれの組成が共晶組成からずれているはんだからなることを特徴とする請求項10記載の半導体装置。

【請求項12】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれたはんだが、インジウムとビスマス、若しくはインジウムとビスマスと錫、若しくはインジウムとビスマスと錫と鉛を主成分とし、それぞれに液相を持つことを妨げない他の元素が添加されたはんだからなることを特徴とする請求項10記載の半導体装置。

【請求項13】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれたはんだが、カドミウムとビスマスと錫と鉛との4元系であって、その組成が共晶組成からずれているはんだ、若しくはカドミウムとビスマスと錫と鉛を主成分とし、それに液相を持つことを妨げない他の元素が添加されたはんだからなることを特徴とする請求項10記載の半導体装置。

【請求項14】 チップ状の半導体素子(1)を回路基板(6)上に接続搭載するに際して、該チップ状半導体素子(1)の一面に形成されたはんだの濡れ性を有する第1の電極(2')上に、該半導体装置の使用环境温度下で液相と固相を持つ接合はんだ層(8)を形成する工程と、該接合はんだ層(8)を該回路基板(6)上に形成されたはんだの濡れ性を有する第2の電極(5)上に突き合わせ、該接合はんだ層(8)を加熱溶解して、該第1の電極(2')と該第2の電極(5)間を該半導体装置の使用环境温度下で液相と固相を持つ接合はんだ(8)により接続する工程を有することを特徴とする半導体装置の製造方法。

【請求項15】 前記半導体装置の使用环境温度下で液相と固相を持つ接合はんだ(8)に、半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれたはんだを用いることを特徴とする請求

項14記載の半導体装置の製造方法。

【請求項16】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれた接合はんだに、インジウムとビスマスの2元系、若しくはインジウムとビスマスと錫との3元系、若しくはインジウムとビスマスと錫と鉛との4元系であって、それぞれ組成が共晶組成からずれているはんだを用いることを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれた接合はんだに、インジウムとビスマス、若しくはインジウムとビスマスと錫、若しくはインジウムとビスマスと錫と鉛を主成分とし、それぞれ液相を持つことを妨げない他の元素が添加されたはんだを用いることを特徴とする請求項15記載の半導体装置の製造方法。

【請求項18】 前記半導体装置の使用环境温度よりも低い共晶温度を持つ合金で、その組成が共晶組成からずれた接合はんだに、カドミウムとビスマスと錫と鉛との4元系であって、その組成が共晶組成からずれているはんだ、若しくはカドミウムとビスマスと錫と鉛を主成分とし、それに液相を持つことを妨げない他の元素が添加されたはんだを用いることを特徴とする請求項15記載の半導体装置の製造方法。

【請求項19】 第1の基板に配設された第1の電極と第2の基板上に該第1の電極に対応して設けられた第2の電極とを電氣的に接続するに際して、該第1の電極上にガリウムと共晶反応を起こす下地金属層を形成する工程と、該下地金属層上にガリウムとフラックスビヒクルからなる混合体を印刷する工程と、熱処理により該混合体中のガリウムと該下地金属層とを一体化し該第1の電極上にガリウムと該下地金属との共晶合金からなる液体金属の電氣的接点を形成する工程と、該第1の電極上の液体金属からなる電氣的接点と該第2の基板の対応する第2の電極とを接触導通せしめる工程を有することを特徴とする電子回路装置の製造方法。

【請求項20】 前記下地金属層に錫、インジウム、銀、もしくは亜鉛を用いることを特徴とする請求項19記載の電子回路装置の製造方法。

【請求項21】 前記第1の基板が半導体装置からなり、且つ前記第2の基板が回路基板からなることを特徴とする請求項19記載の電子回路装置の製造方法。

【請求項22】 前記第1の基板が第1の回路基板からなり、且つ前記第2の基板が第2の回路基板からなることを特徴とする請求項19記載の電子回路装置の製造方法。

【請求項23】 請求項21記載の方法により半導体装置と回路基板とが電氣的に接続されていることを特徴とする電子回路装置。

【請求項24】 請求項22記載の方法により第1の回路

基板と第2の回路基板とが電氣的に接続されていることを特徴とする電子回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法と半導体装置及び電子回路装置の製造方法と電子回路装置に係り、特に、回路基板上への半導体チップのはんだバンプ或いははんだ層による接続搭載方法及び液体金属電気接点を用いた半導体装置と回路基板あるいは回路基板同士の接続方法に関する。

【0002】 近年、半導体装置の高集積化の要求に伴い、LSI等においては高密度実装を容易に且つ高信頼度で行い、更には信号の伝達距離を短縮して高速化を図るために、フリップチップ接合による実装方法への要求が高まっている。このフリップチップ接合による実装では、LSIチップ等が回路基板上にはんだを用いて接続されるので、チップ上にはんだの濡れ性に優れたニッケル(Ni)や金(Au)等の接続電極を特に設ける必要があり手間及び材料費の増大を招いており、改善が望まれている。

【0003】 またフリップチップ接合による実装においては、はんだ接点によりLSIチップが回路基板上に直接接続されるので、特にチップサイズが拡大している現状においては、該LSIの動作時の発熱のために、LSIチップと回路基板との熱膨張率の差によって、はんだ接合部に大きな応力が及ぼされ、はんだ接合部が破断するという問題があり改善が望まれている。

【0004】 また、半導体装置等の電子部品の実装された回路基板が搭載される電子回路装置においては、近年、電子回路装置の小型化、高性能化のために、集積度の高いLSIやチップコンデンサ、チップ抵抗などが1枚の回路基板上に多数搭載されるようになってきており、それに伴って基板当たりの入出力端子数も大幅に増加している。そのために、回路基板にろう付けされている入出力ピンを装置側のジャックに差し込むプラグジャック方式の従来の基板搭載方法では、多数のピンをジャックに挿入する基板の搭載及び多数のピンをジャックから抜去する基板の除去に際しての力は膨大になり、操作が困難になると共に入出力ピンの変形や脱落を招いており改善が望まれている。

【0005】

【従来の技術】 従来のはんだバンプを用いた回路基板上へのチップ状半導体素子(フリップチップ)の実装方法(フリップチップ接合法)では、半導体チップの全面にパッド電極を形成し、その電極上にはんだバンプを形成し、そのはんだバンプをリフローすることによってこのはんだバンプを回路基板上の電極に直接接合させる方法であった。一方、半導体素子の内部配線やパッド電極の形成には一般にはアルミニウム(アルミニウム合金を含む)薄膜が用いられるため、このアルミニウム(Al)バ

5

ッド電極上に直にはんだバンプを形成した場合には、リフローした際のパッド電極上へのはんだの濡れ性が悪いために、良好な接合が得られない。

【0006】そのため従来のフリップチップにおいては、パッド電極に対するはんだの濡れ性を良好にするために、パッド電極上にはんだの濡れ性の良いニッケル(Ni)や金(Au)等のメタライズ層の薄膜を蒸着あるいはスパッタによって形成し、その上にはんだバンプを形成し、それによってはんだバンプをリフローした際のパッド電極上へのはんだの濡れを十分にし、半導体チップと回路

基板間の良好な電気的、機械的な接合が保たれていた。【0007】しかし上記従来ののはんだバンプを用いたフリップチップ接合方法では、Alからなるパッド電極上にはんだの濡れ性の良いメタライズ層を形成するために、蒸着やスパッタによるメタライズ層薄膜の形成の他に、更にフォトリソグラフィ工程を含んだ薄膜のパターニング工程が必要になるため、工程が複雑化して、工数や手

番の増大を招くという問題があった。【0008】また、フリップチップ接合においては、上記のように半導体チップのパッド電極と回路基板の対応する電極とが直接はんだ付けされるため、信号の伝達距離が短く高速化に有利な長所を有する反面、素子が高集積化されチップサイズが大型化されたLSI等においては、動作時の該LSIの発熱によって、はんだ接合部に、LSIチップと回路基板との熱膨張率の差によって生ずる大きな応力が付加され、この応力によって上記はんだ接続部が破断するという問題を生ずる。その状態を示したのが図7である。同図において、31はLSIチップ、32はパッド電極、33ははんだ接続部、34は基板電極、35は回路基板、36は上記応力によりはんだ接続部に形成された破断につながるクラックを示す。

【0009】この問題を避けるために窒化アルミニウム(AlN)等のシリコン(Si)と熱膨張率の近いセラミック材料を回路基板に用いる方法も考えられたが、コストが高くなる。

【0010】また、半導体装置等の電子部品の実装された回路基板が搭載されるコンピュータ等の電子回路装置において、上記回路基板と電子回路装置との電気的接続は、従来、例えば上記回路基板に植設された雄型接点と呼ぶ接点ピン(プラグ)を、電子回路装置に設けられた雌型接点と呼ぶばね性部材(ジャック)に挿入することによって金属-金属の接触を実現することによってなされていた。

【0011】しかし、近年、電子回路装置の小型化、高性能化のために、集積度の高いLSIやチップコンデンサ、チップ抵抗などを一つの回路基板上に多数搭載する実装技術が広く用いられるようになり、回路基板あたりの入出力端子数も大幅に増加している。

【0012】一方、上記プラグ-ジャック方式では、十分に低く且つ安定な接続抵抗を得るために、ばね性部材

6

の接点ピンに対する接触圧力は少なくとも数10gになるように設定されるので、上記のように入出力端子数の大幅に増加した回路基板においては多数の接続ピンを前記電子回路装置のジャックに挿入したり、ジャックから抜去する力は非常に大きくなり、最も大きな規模のもものでは100kg以上にも達する。そのため、人力による回路基板の挿抜が極めて困難であり、また挿抜時に接点ピンの変形や接続破断を生ずるという問題があった。

【0013】そこでこのような問題を解決するために、液体金属や液体合金を上記回路基板と電子回路装置との電気的接点間に介在させ、上記回路基板の挿抜に要する力を零に近づける方法が提案されている。

【0014】このような液体金属接点を形成するに際しての従来の方法は、液体金属をフラックスビヒクル中に分散させて製造したペーストを電極上に印刷し、加熱して前記電極上に液体金属の層を堆積形成させる方法であった。しかしこの従来方法によると、例えば図8(a)に示すように、インジウム(In)-ガリウム(Ga)共晶合金53からなる液体合金をフラックスビヒクル54中に分散させたIn-Gaペースト55を、回路基板51上の表面層がAuからなる電極(Au電極)52上に印刷し、次いでこの基板を200℃程度に加熱してAu電極52上にIn-Ga共晶合金53からなる液体金属層を形成した際、上記Au電極52の表面に対するIn-Ga共晶合金53の濡れ性が悪いために、図8(b)に示すようにIn-Ga共晶合金53が表面張力で凝集してIn-Ga共晶合金53からなる液体金属層とAu電極52との間の良好な電気的な接触が得られず、該液体金属層を接点間に介在させた電気接点の接続抵抗が大幅に増大するという問題があった。

【0015】

【発明が解決しようとする課題】そこで本発明は、はんだバンプを用いて半導体チップを回路基板上に接合する半導体装置において、半導体チップのAl電極パッドと回路基板の電極とを、はんだバンプにより濡れ性不良を生ぜず低抵抗で直接に接続する方法を提供して上記半導体装置の製造工程を簡略化することを目的とする。

【0016】また、本発明は、LSI等の大型半導体チップがそのパッド電極を介してはんだ付けにより回路基板上に接合される半導体装置において、半導体チップと回路基板の熱膨張率の差による応力ではんだ接合部が破断するのを防止する方法を提供して上記半導体装置の信頼性寿命を向上させることを目的とする。

【0017】また、本発明は、LSI等の電子部品の実装された回路基板が液体金属接点を介して接続搭載される電子回路装置において、液体金属が被着される電極に対する液体金属の濡れ性を向上して、接続抵抗の低減を図ることを目的とする。

【0018】

【課題を解決するための手段】前記第1の課題の解決は、はんだに濡れない電極を有するチップ状の半導体素

50

子を該はんだに濡れない電極を介して回路基板上に接続搭載するに際して、該はんだに濡れない電極上に共晶反応を起こす合金の成分金属aからなる第1の bumps を形成し、該回路基板の対応する電極上に該共晶反応を起こす合金の成分金属bからなる第2の bumps を形成し、該第1の bumps と該第2の bumps を突き合わせた後に、該第1の bumps と第2の bumps の突き合わせ部分を該成分金属aの融点以下の温度に加熱して該第1の bumps と第2の bumps を接合する工程を有する本発明による半導体装置の製造方法、あるいは、アルミニウム電極を有するチップ状の半導体素子を該アルミニウム電極を介して回路基板上に接続搭載するに際して、該アルミニウム電極上に高融点はんだからなる第1の bumps を形成し、該回路基板の対応する電極上に低融点はんだからなる第2の bumps を形成し、該第1の bumps と該第2の bumps を突き合わせた後に、該第1の bumps と第2の bumps の突き合わせ部分を該高融点はんだの融点以下の温度に加熱して該第1の bumps と第2の bumps を接合する工程を有する本発明による半導体装置の製造方法、若しくは、前記それぞれの方法により製造された半導体装置によって達成される。

【0019】また前記第2の課題の解決は、半導体装置の使用环境温度下で液相と固相を持つはんだを用いて、少なくともチップ状の半導体素子の電極が回路基板の電極に接続されている本発明による半導体装置、若しくは、チップ状の半導体素子を回路基板上に接続搭載するに際して、該チップ状半導体素子の一面に形成されたはんだの濡れ性を有する第1の電極上に、該半導体装置の使用环境温度下で液相と固相を持つ接合はんだ層を形成する工程と、該接合はんだ層を該回路基板上に形成されたはんだの濡れ性を有する第2の電極上に突き合わせ、該接合はんだ層を加熱溶融して、該第1の電極と該第2の電極間を該半導体装置の使用环境温度下で液相と固相を持つ接合はんだにより接続する工程を有する本発明による半導体装置の製造方法によって達成される。

【0020】また前記第3の課題の解決は、第1の基板に配設された第1の電極と第2の基板上に該第1の電極に対応して設けられた第2の電極とを電氣的に接続するに際して、該第1の電極上にガリウムと共晶反応を起こす下地金属層を形成する工程と、該下地金属層上にガリウムとフラックスビビクルからなる混合体を印刷する工程と、熱処理により該混合体中のガリウムと該下地金属層とを一体化し該第1の電極上にガリウムと該下地金属の共晶合金からなる液体金属の電氣的接点を形成する工程と、該第1の電極上の液体金属からなる電氣的接点と該第2の基板の対応する第2の電極とを接触導通せしめる工程を有する本発明による電子回路装置の製造方法、若しくは、上記電子回路装置の製造方法を用いて半導体装置あるいは第1の回路基板と第2の回路基板とが電氣的に接続されている本発明による電子回路装置によって

達成される。

【0021】

【作用】図1は第1の発明の原理説明図である。請求項1に係る第1の発明においては、はんだに濡れない例えばA1パッドからなる実装電極を有する半導体チップを回路基板上に接続搭載するに際して、同図(a)に示すように、半導体チップ1のパッド状のA1電極2上にマスク蒸着等の方法により、共晶反応を起こす合金の成分金属aからなり、底面の全域がA1電極2面に密着した第1の bumps 3を形成し、一方、回路基板6の対応するパッド状の基板電極（はんだ濡れ性を有する）5上に、前記共晶反応を起こす合金の成分金属bからなる第2の bumps 4を形成する。そして、回路基板6上に半導体チップ1を、前記第2の bumps 4上に第1の bumps 3を突き合わせるようにして重ね、成分金属a即ち第1の bumps 3の融点以下の温度に加熱し、同図(b)に示すように、第1の bumps 3と第2の bumps 4の接触部に成分金属aと成分金属bからなる共晶合金層7を形成させて第1の bumps 3と第2の bumps 4とを接合する。そしてこの発明においては、前記第1の bumps 3と第2の bumps 4とを共晶反応で接合させる際の加熱温度がA1電極2上に形成される第1の bumps 3の融点以下の温度に規定される。従って、上記接合に際して第1の bumps 3は溶融することはないので、はんだ濡れ性の悪いA1電極2と第1の bumps 3との接触部はマスク蒸着による bumps 形成当初の広い面積のまま維持され、低い接続抵抗及び強い接続強度が得られる。

【0022】図2は第2の発明の原理説明図である。請求項7に係る第2の発明においては、同図(a)に示すように半導体基板1側のA1電極2上の第1の bumps に高融点はんだ bumps 3'（マスク蒸着で形成）を用い、回路基板側のはんだ濡れ性を有する基板電極5上の bumps に低融点はんだ bumps 4'を用いる。そして両 bumps を突き合わせた後、高融点はんだの融点以下の温度で加熱し、同図(b)に示すように低融点はんだ bumps 4'のみを溶融させ、低融点はんだ bumps 4'と高融点はんだ bumps 3'とを接合する。従って、上記 bumps 間の接合に際して、高融点はんだ bumps 3'のはんだ濡れ性の悪いA1電極2に対する接触面積はマスク蒸着による bumps 形成当初の広い面積のまま維持され、低い接続抵抗及び強い接続強度が得られる。

【0023】図3は第3の発明の原理説明図である。請求項9に係る第3の発明においては、同図に示すように、半導体チップ（あるいは他の電子部品）1の半田濡れ性を有するパッド状のチップ電極2'と回路基板6のパッド状の基板電極5との間を、半導体装置の使用环境温度下で液相と固相を持つはんだ（液相固相はんだと略称する）8で接続することによって回路基板6上に半導体チップ1が接続搭載される。従って本発明では、室温からジャンクション温度まで上がってはんだ接続部に最

も応力加わる時点で、はんだ8内には液相9が析出している、この液相9が前記応力を吸収し、はんだ接合部に加わっている応力は低減される。またははんだ8内に液相9が析出すると、その部分にそれまでの温度履歴によって生じていた疲労の蓄積も解除される。以上のことから、熱膨張率の相違する基板上に大型のLSIチップ等をはんだを用いて接続搭載した際の、はんだ接続部の破断は防止される。

【0024】請求項14に係る第4の発明はLSIのパッケージと回路基板或いは2枚の回路基板の対応する電極間をGaを含む液体金属接点を用いて電気的に接続する電子回路装置における液体金属接点の形成方法に関するもので、図示しないが、Gaと他の金属との共晶合金からなる液体金属接点を形成する際に、該液体金属接点を形成する電極の表面に予め該Gaと共晶反応を起こす共晶成分金属の下地金属層を形成しておき、その上にGaをブラックスビヒクル中に分散させた混合体を塗布し、前記下地金属層と混合体を加熱して混合体中のGaと前記下地金属層との共晶反応によって該基板電極上にGaと前記共晶成分金属との共晶合金からなる液体金属層を形成する。このようにするとGaは基板電極上に予め形成されている共晶成分金属からなる下地金属層に沿って共晶反応を起こし、基板電極の全面に良く流れたGaと該下地金属との共晶合金層からなる液体金属接点形成され、該液体金属接点による接続抵抗の低減が図れる。

【0025】

【実施例】以下本発明を、図示実施例により具体的に説明する。図4は第1の発明に係る一実施例の工程断面図、図5は第3の発明に係る一実施例の工程断面図、図6は第4の発明に係る一実施例の工程断面図である。全図を通じ同一対象物は同一符号で示す。

【0026】請求項1に係る第1の発明を、一実施例について図4の工程断面図を参照し具体的に説明する。請求項1に係る第1の発明によりAlからなる実装電極を有するLSIチップを回路基板上に接続搭載するに際しては、図4(a)に上下反転して示すように、例えばパッド状の実装用のAl電極12A～12Fが形成されたLSIチップ11上に前記Al電極を個々に表出する開孔を有するメタルマスク31を固定し、次いで図4(b)に示すように、例えば厚さ100μm程度のインジウム(In)膜13のマスク蒸着を行う。ここで、前記Al電極12A～12F等上には高さ100μm程度の第1のバンプであるInバンプ13A～13F等が形成される。

【0027】次いで図4(c)に示すように、メタルマスク31を除去しLSIチップ11のAl電極12A～12F等上に形成された前記Inバンプ13A～13Fを表出させる。一方、図4(d)に示すように、回路基板16に設けられた前記LSIチップ11のAl電極12A～12F等に対応する基板電極(はんだ濡れ性を有する)15A～15F等上に前記同様のマスク蒸着手段により高さ100μm程度の前記Inと

共晶反応を起こす第2のバンプの例えば錫(Sn)バンプ14A～14F等を形成した後、この回路基板16上に前記LSIチップ11を、該LSIチップ11のInバンプ13A～13Fを前記回路基板16の対応するSnバンプ14A～14F等上に突き合わせるようにして重ねる。

【0028】そして、このLSIチップ11と回路基板16とをAl電極12A'～12F'等上のバンプ13A～13Fを構成するInの融点(156.6℃)以下の温度、望ましくはInの融点以下でInとSnの共晶温度(117℃)以上の温度、例えば120℃に加熱し、図4(e)に示すように、Inバンプ13A～13F等とSnバンプ14A～14F等との接触部分を共晶合金化し、該Inバンプ13A～13F等とSnバンプ14A～14F等とを接合する。17はIn-Sn共晶合金を示す。

【0029】この方法では、Inバンプ13A～13F等とSnバンプ14A～14F等との接合温度がInの融点より大幅に低いので、上記接合に際してInバンプ13A～13F等のAl電極12A～12F等の近傍部は溶融することがなく、Inバンプ13A～13F等のAl電極12A～12F等に対する接触は、ウェット不良を生ずることなくバンプ形成初期の広い接触面積を有し低い接触抵抗に保たれる。従って、はんだのウェット不良を防止するために従来Al電極上に形成していたAu等の下地膜の形成は不要になり、該半導体装置の製造工程が簡略化される。

【0030】なお、上記第1の発明が達成される上記実施例以外の、Al電極上の第1のバンプ材料と回路基板上に形成する第2のバンプ材料との組み合わせ、及び接合温度は表1の通りである。

【0031】

【表1】

11

第1のバンプ	第2のバンプ	接合温度
Sn	In	130℃
Sn	Bi	170℃
Sn	Pb	210℃
In	Sn	130℃
In	Bi	100℃
Bi	Sn	170℃
Bi	In	100℃
Pb	Sn	210℃

【0032】なお、請求項7に係る第2の発明では、図示しないが、前記第1のバンプと第2のバンプに共晶合金の成分金属を用いず、Al電極上の第1のバンプに高融点はんたを用い、はんた濡れ性を有する基板電極上の第2のバンプに低融点はんたを用いる。そして、第1のバンプと第2のバンプの接合を、第1のバンプ即ち高融点はんたの融点以下の温度で第1のバンプを溶融させずに第2のバンプ即ち低融点はんたを溶融させることで行い、それによって前記第1の発明と同様の効果を得ている。この場合例えば、高融点はんたには融点が315℃のPb-5%Snはんたを用い、低融点はんたには融点185℃の通常のPb-63%Snはんたを用い、200～230℃に加熱して接合するとよい。なお、高融点はんたと低融点はんたは上記材料及び組成に限られるものではない。

【0033】次に、請求項9に係る第3の発明を、一実施例について図5の工程断面図を参照し具体的に説明する。請求項9に係る第3の発明を用いて回路基板上にLSIチップが接続搭載された半導体装置を製造するに際しては、例えば、図5(a)に上下反転して示すように、Au、Ag、Ni等からなりはんた濡れ性を有するパッド状のチップ電極12A'～12F'等(径70μm程度)が形成された例えば10mm角のLSIチップ11上に前記チップ電極12A'～12F'等を出するメタルマスク31を固定し、次いで図5(b)に示すように、このマスク31を有する面上に蒸着法によりIn-Bi系の共晶組成からずれたIn-20%Biはんた18を30μm程度の厚さに堆積する。ここで、チップ電極12A～12F等上に高さ30μm程度のIn-20%Biは

12

んだバンプ18A～18F等がそれぞれ形成される。

【0034】次いで、図5(c)に示すようにメタルマスク31を除去した後、図5(d)に示すようにLSIチップ11をIn-20%Biはんたバンプ18A～18F等がそれぞれ対応する基板電極15A～15F等に接するように例えばアルミナセラミクス製の回路基板16上に搭載し、300℃程度に加熱して上記In-20%Biはんたバンプ18A～18F等を溶融させ、図5(e)に示すようにLSIチップ11のチップ電極12A'～12F'等と回路基板16の対応する基板電極15A～15F等とをそれぞれ前記In-20%Biはんたバンプ18A～18F等が溶融したIn-20%Biはんた18で電氣的及び機械的に接合し、それによってLSIチップの回路基板上への接続搭載が完了する。

【0035】上記のようにして形成したLSIチップ11の電極12A'～12F'等と上記回路基板16の対応する基板電極15A～15F等とをそれぞれ接合するIn-20%Biはんた18はIn-Bi系はんたの共晶組成であるIn:Bi=66:34(重量比)に対してIn側に14%ずれた合金組成を有するので、共晶温度の72℃以上の温度で液相と固相が共存する組織を有する。従って上記In-20%Biはんた18は半導体装置の使用環境温度5～85℃の範囲における前記共晶温度72℃と85℃との間で液相と固相が共存する組織になるので、動作時の発熱によりLSIの温度が室温からジャンクション温度まで上昇し基板との熱膨張率の差によってはんた接続部に最も応力が加わる時点で、上記In-20%Biはんた18内には液相が析出している。そのため、この液相が前記応力を吸収し、上記LSIの高温状態においてははんた接合部に加わる応力は大幅に低減される。また上記はんた18内に析出した液相は、それまでの温度履歴によってはんた接合部に生じていた疲労の蓄積も解除する。以上のことから、上記実施例のIn-20%Biはんた18を用いてLSIチップ11を回路基板16に接続搭載してなる半導体装置においては、半導体装置の使用環境温度5～85℃における温度サイクル試験において、従来1サイクルで発生していたはんたクラックが、10サイクル以上でも発生していないという効果が得られている。

【0036】なお上記効果は、In-Bi共晶はんたにPb、Ge、等のIn、Bi以外の金属を2～3wt%程度加えてはんた組成を共晶組成からずらすことによって得ることができる。

【0037】また上記効果はIn-Biの2元系はんたに限られるものでなく、半導体装置の環境温度内に共晶温度を有する3元系、または4元系の共晶はんたの成分組成を共晶組成からずらせたはんた、あるいは前記3元系、または4元系の共晶はんたに他の金属を添加したはんたによっても得ることができる。

【0038】上記3元、4元系はんたの例には、3元系の、共晶温度60℃、共晶組成Sn:Bi:In=16.5:32.5:51(wt%)のSn-Bi-In系はんた、4元系の、共晶温度60℃、共晶組成Sn:Pb:Bi:In=19:17:53.5:10.5(wt%)のSn-Pb-Bi

-In 系はんだ、共晶温度50°C、共晶組成 Sn:Pb:Bi:Cu=13.3:26.7:50:10(wt%) のSn-Pb-Bi-Cu 系はんだがある。

【0039】次に、請求項19に係る第4の発明を、一実施例について図6の工程断面図を参照し具体的に説明する。請求項19に係る第4の発明により、例えばパッケージ内に実装されてなるLSIを、電子回路装置の回路基板上に接続搭載する一実施例においては、例えば、60%のロジン、2%の増粘剤、0.5%の活性剤（塩酸ジエチルアミン）を含むモノブチルカルビトールからなるフラックスビヒクル中に、Gaをフラックスビヒクルとの比率（重量比）が9:1になるように混合し、40°Cに加熱して前記Gaをを液体にした後、攪拌して、約20~30μmのGa粒子がフラックスビヒクル中に分散しているGa混合体を作製した。

【0040】そして、図6(a)に上下反転して示すように、上記LSI21裏面のAu層が表面に形成されたパッケージ電極22A、22B、22C、22D、22E、22F等上に例えばコパール製のメタルマスク31を介して蒸着手段により厚さ10μm程度のIn膜23を形成する。

【0041】次いで、図6(b)に示すように上記メタルマスク31を除去する。ここでパッケージ電極22A、22B、22C、22D、22E、22F等上には選択的に厚さ10μm程度のIn膜23からなるGaと共晶反応を起こす下地金属層が形成される。

【0042】次いで、図6(c)に示すように、上記該LSI21の裏面上に前記パッケージ電極22A、22B、22C、22D、22E、22F等上の前記In膜23をそれぞれ表出する開孔を有する厚さ200~300μm程度の印刷用マスク32を載置し、該マスク32上からスキージー等により前記Ga混合体を塗布する。ここで前記パッケージ電極22A~22F等のIn膜23上にそれぞれ厚さ200~300μm程度のGa混合体層24が形成される。

【0043】次いで、図6(d)に示すように、印刷用マスク32を除去し電極22A~22F等上のGa混合体層24を表出させた後、このLSIを200°C程度に加熱し、パッケージ電極22A、22B、22C、22D、22E、22F等上に共晶成分の下地金属層として形成されているIn膜23とGa混合体層24中のGaとを共晶合金化することにより一体化させ、次いで残留しているフラックスビヒクルをキシレン等の溶剤による洗浄処理により除去し、図6(e)に示すように、パッケージ電極22A、22B、22C、22D、22E、22F等上下地金属のInとGaとの共晶合金からなる厚さ200~300μm程度の液体金属接点27A、27B、27C、27D、27E、27F等をそれぞれ形成する。なお上記合金化に際して、InとGaの合金化は下地金属層のIn膜23に沿って進むので、前記In-Ga合金からなる液体金属接点27A、27B、27C、27D、27E、27F等はパッケージ電極22A、22B、22C、22D、22E、22F等の表面に対してウェット不良を生ずることなく、図示のように前記パッケージ電極の表面全面に盛られた形状に形成され

る。次いで図6(f)に示すように、上記LSI21を反転し、このLSI21を、そのパッケージ電極22A、22B、22C、22D、22E、22F等上の液体金属接点層27A、27B、27C、27D、27E、27F等をそれぞれ回路基板26の対応する基板電極25A、25B、25C、25D、25E、25F等上に接するように回路基板26上に搭載し、上記液体金属接点27A、27B、27C、27D、27E、27F等によりLSI21のパッケージ電極22A、22B、22C、22D、22E、22F等と回路基板26の基板電極25電極A、25B、25C、25D、25E、25F等がそれぞれ電気的に接続された電子回路装置が形成される。なお図中の28は電極間の液体金属接点を所定の厚さに維持するために設けたストッパである。

【0044】なお、上記実施例の方法において、Gaと共晶反応を起こす下地金属層は上記In膜23に限らず、Ag、Sn、Zn膜等で形成してもよい。そしてそれらの厚さは前記In膜23と同様に10μm程度が適切である。

【0045】上記実施例で述べたように、本発明の方法により形成されたGaとの共晶合金からなる液体金属の電気接点は、下地の電極との濡れ性が良く、該液体金属接点が下地電極の全面を覆って形成される。従って、該液体金属接点を介して接続される上下電極間の電気抵抗は十分に低減され、且つ安定化され、電子回路装置の性能及び信頼性が向上する。

【0046】

【発明の効果】以上説明のように本発明における第1及び第2の発明によればチップ状半導体装置のAl電極を直にはんだバンプを用いウェット不良を生ぜず回路基板上に低抵抗で且つ強固に接続することが可能になり、回路基板上にチップ状半導体装置がはんだ付け搭載される半導体装置の製造工程の簡略化が図れる。

【0047】また本発明における第3の発明によれば大型の半導体チップが回路基板上にはんだ付け搭載される半導体装置において、半導体装置動作時の環境温度の変化によりはんだ付け部に及ぼされる応力が緩和されると共に、上記応力による疲労の蓄積も解消されるので、はんだ接続部の破断が防止され該半導体装置の信頼性寿命が向上する。

【0048】また本発明における第4の発明によれば、半導体装置と回路基板、あるいは回路基板と回路基板が液体金属からなる電気接点を介して接続される電子回路装置における上記半導体装置と回路基板、あるいは回路基板間の接続抵抗が低抵抗で且つ安定に得られるので、該電子回路装置の性能及び信頼性の向上が図れる。

【図面の簡単な説明】

【図1】 第1の発明の原理説明図

【図2】 第2の発明の原理説明図

【図3】 第3の発明の原理説明図

【図4】 第1の発明に係る一実施例の工程断面図

【図5】 第3の発明に係る一実施例の工程断面図

- 【図6】 第4の発明に係る一実施例の工程断面図
 【図7】 従来のフリップチップ接合の障害を示す図
 【図8】 従来の液体金属接点の問題点を示す図
 【符号の説明】

- 1 半導体チップ
 2 Al電極
 2' はんだ濡れ性を有するチップ電極
 3 第1のバンプ
 3' 高融点はんたバンプ

- * 4 第2のバンプ
 4' 低融点はんたバンプ
 5 基板電極
 6 回路基板
 7 共晶合金層
 8 液相固相はんた
 9 液相
 10 固相

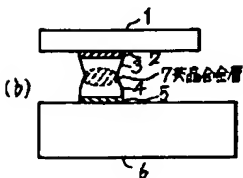
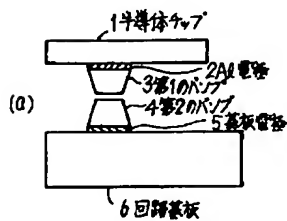
*

【図1】

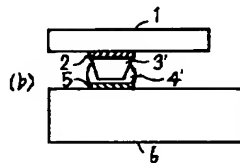
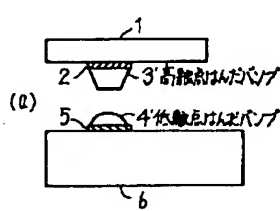
【図2】

【図3】

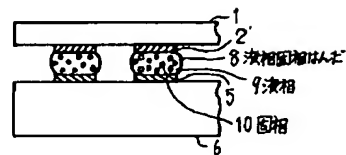
第1の発明の原理説明図



第2の発明の原理説明図

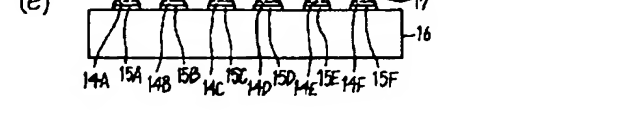
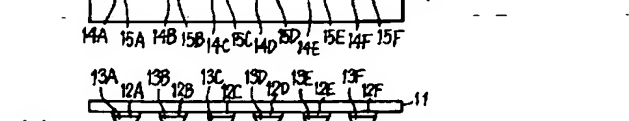
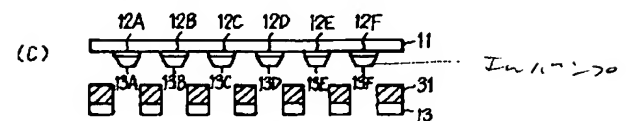
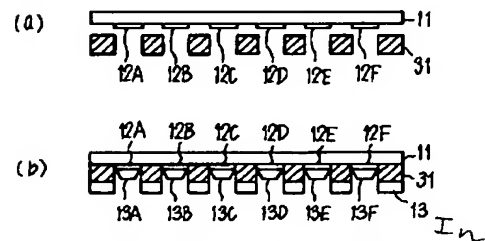


第3の発明の原理説明図



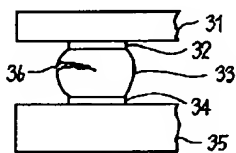
【図4】

第1の発明に係る一実施例の工程断面図



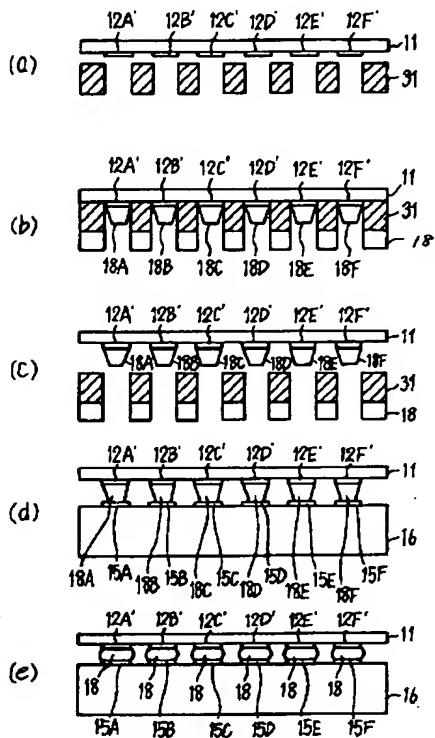
【図7】

従来のフリップチップ接合の障害を示す図



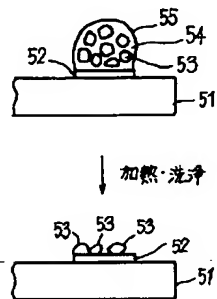
【図5】

第3の発明に係る一実施例の工程断面図



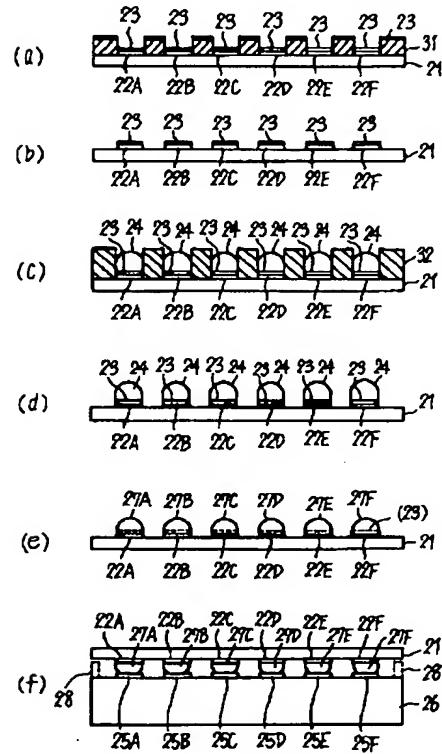
【図8】

従来の液体金属接点の問題点を示す図



【図6】

第4の発明に係る一実施例の工程断面図



フロントページの続き

(72)発明者 清水 浩三
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内